

ПЕРЕТВОРЮВАЧ ЧАСТОТИ ДИСКРЕТИЗАЦІЇ НА FPGA

Бичков В. Є.

НВП «Омега», м. Київ, Україна

В сучасних телекомунікаційних системах виникає необхідність працювати з відповідним набором частот дискретизації, а саме — мати можливість динамічного переходу з однієї частоти дискретизації на іншу з достатньо високим розрізненням. Класична теорія цифрової обробки сигналів має достатню кількість способів для подібної реалізації, найпростіший з яких передбачає каскадне використання інтерполятора та дециматора з відповідними ланцюгами фільтрації [1], коефіцієнти інтерполяції та децимації яких M та N , що також є взаємно простими числами. Ця структура може бути додатково оптимізована шляхом заміни каскадно з'єднаних фільтрів інтерполяції та децимації єдиним фільтром з частотою зрізу f_s (1).

$$f_s = \frac{f_d}{2} \cdot \min\left(1, \frac{M}{N}\right), \quad (1)$$

де: f_d — значення частоти дискретизації.

Це дозволяє перейти до механізмів поліфазної фільтрації [2]. В цьому випадку між відліками вхідного сигналу додається $M - 1$ нулів, сигнал блоками по N відліків фільтрується ФНЧ з обраною в (1) частотою зрізу. При виконанні фільтрації ігноруються арифметичні операції з відліками, що мають нульові значення. Для невеликих значень M та N , або значень які підлягають факторизації, подібна реалізація виявляється достатньо прийнятною для виконання на елементній базі, такої як FPGA. Але у випадку коли M та N числа великі, які не підлягають розкладу, практична реалізація стає складною. Інтерполяція та проріджування в цьому випадку, вимагають дуже “різких” фільтрів з подальшою необхідністю використання великих ресурсів для їх реалізації в FPGA.

В цьому випадку підсистему перетворення частоти дискретизації можна побудувати в інший спосіб. Найбільш цікавим класом фільтрів, що використовуються для повторної дискретизації є фільтри які базуються на поліноміальній інтерполяції Лагранжа. Саме цей тип може бути достатньо ефективно виконаний на FPGA, за рахунок використання поліноміальної кубічної структури Фарроу [3]. В сучасних системах додатково використовують багатоступеневу структуру. Першим каскадом системи перетворення частоти виступає СІС фільтр [4] та фільтр подальшої корекції АЧХ (PFIR, CFIR). Це так званий крок “грубого” налаштування. І вже після цього точна настройка частоти дискретизації відбувається за допомогою структури Фарроу.

На рис. 1 зображено загальну структурну схему перетворювача частоти

дискретизації на базі FPGA Altera, Cyclone V 5CGXFC9E6F31. В цій схемі сигнал з виходу аналог-цифрового перетворювача (АЦП) поступає на вхід попереднього перетворювача частоти дискретизації, який дозволяє “грубо” наблизитись до бажаного значення коефіцієнта децимації N . Після цього виконується корекція АЧХ за допомогою каскаду фільтрів CFIR, PFIR і вже потім, за допомогою структури Фарроу, отримується бажане значення частоти дискретизації.

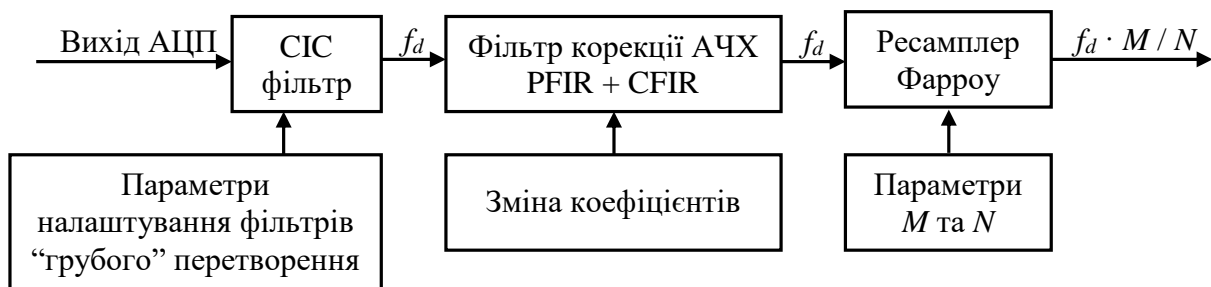


Рисунок 1. Загальна структурна схема перетворювача частоти дискретизації

На рис. 2 зображено фрагменти вхідного та перетвореного сигналу як результат роботи системи прийому сигналів супутникового зв'язку. Вхідний сигнал з частотою дискретизації $f_d = 6,25$ МГц. було перетворено до сигналу з частотою дискретизації $4,096$ МГц. При цьому загальний коефіцієнт перетворення частоти складає $M/N = 0,65536$. На відповідному фрагменті вхідного сигналу за кількістю точок можна перевірити правильність отриманого результату.

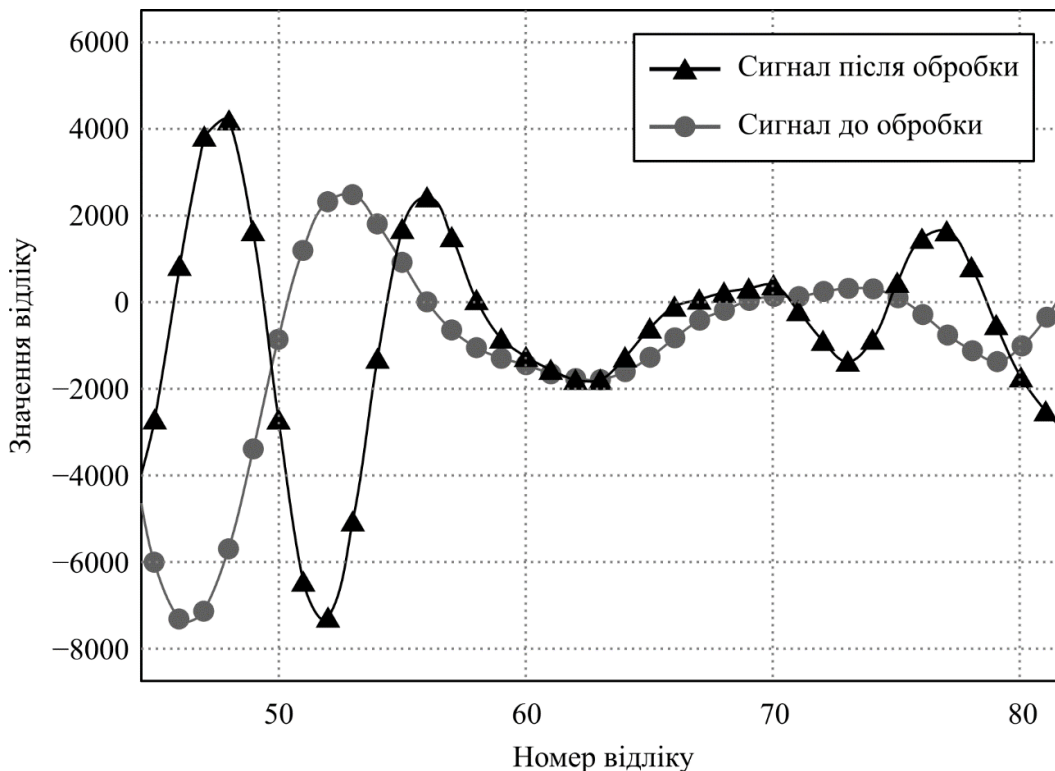


Рисунок 2. Вхідні та вихідні сигнали

Запропонована реалізація структури Фарроу також може бути легко скорегована для вирішення інших задач цифрових аудіо систем або телекомунікації, наприклад для проблем синхронізації часу у демодуляторах. При цьому загальна структура Фарроу залишається незмінною, а адаптується тільки вибірки вхідного блоку обробки даних та рішення про їх поточну обробкою поліноміальним інтерполятором.

Основні переваги запропонованої реалізації полягають в наступному:

– перетворення частоти дискретизації побудовано із застосуванням методів суспільного використання ресурсів FPGA, що дозволяє виконувати незалежну паралельну обробку кількох вхідних сигналів, в залежності від цілого значення коефіцієнта проріджування СІС каскаду.

– Для багатоканальної реалізації можливе використання індивідуальних значень параметрів M та N .

– Можлива динамічна зміна параметрів M , N та коефіцієнтів фільтрів блоку “грубого” налаштування частоти.

– Можливість забезпечення M та N , що є значеннями будь яких чисел з ряду 2^{32} .

– Максимальна частота дискретизації вхідного сигналу складає 150 МГц.

Перелік посилань

1. Tim Hentschel. Sample rate conversion in software configurable radios / Tim Hentschel. — London, Artech House, 2002. — 270 p.

2. Mike Porteous. Introduction to digital resampling / Mike Porteous. — Whitepaper, Principal Digital Systems Engineer, RFEL Ltd, 2016 — 26 p.

3. C.W. Farrow. A Continuously Variable Digital Delay Element, International Symposium on Circuits and Systems. Espoo, Finland, 07 – 09 June 1988, Vol. 3. — pp. 2641 – 2645.

4. Hogenauer E. B. An Economical Class of Digital Filters for Decimation and Interpolation. IEEE Transactions on Acoustics, Speech and Signal Processing, Vol. 29, No. 2, April 1981, pp. 155 – 162.

Анотація

Розглянуто ефективний приклад побудови та практичної реалізації системи перетворення частоти дискретизації із використанням структури Фарроу, що виконано на FPGA Altera-Cyclone.

Ключові слова: ресамплер, Фарроу, FPGA.

Аннотация

Рассмотрен эффективный способ построения и практической реализации системы преобразования частоты дискретизации с использованием структуры Фарроу, выполненной на базе FPGA Altera-Cyclone.

Ключевые слова: ресамплер, Фарроу, FPGA.

Abstract

An effective method for constructing and realizing a system for converting the sampling frequency using the Farrow structure based on FPGA Altera-Cyclone is considered.

Keywords: resample, Farrow, FPGA.